

대한민국 특허청

KOREAN INTELLECTUAL PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0072242
Application Number

출원년월일 : 2002년 11월 20일
Date of Application NOV 20, 2002

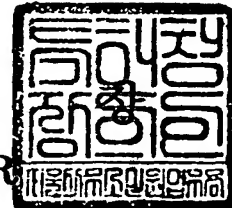
출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2003 년 04 월 16 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0003
【제출일자】	2002.11.20
【발명의 명칭】	반도체 소자의 제조 방법
【발명의 영문명칭】	Method of manufacturing a semiconductor device
【출원인】	
【명칭】	(주)하이닉스 반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【성명】	신영무
【대리인코드】	9-1998-000265-6
【포괄위임등록번호】	1999-003525-1
【발명자】	
【성명의 국문표기】	곽노열
【성명의 영문표기】	KWAK, Noh Yeal
【주민등록번호】	700114-1403116
【우편번호】	467-850
【주소】	경기도 이천시 대월면 사동리 441-1 현대전자사원아파트 104-1501
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 신영무 (인)
【수수료】	
【기본출원료】	16 면 29,000 원
【가산출원료】	0 면 0 원
【우선권주장료】	0 건 0 원
【심사청구료】	8 항 365,000 원
【합계】	394,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 반도체 소자의 제조 방법에 관한 것으로, 반도체 소자의 문턱 전압을 조절하기 위하여 이온 주입층을 형성하는 경우 통상적으로 사용하던 B와 같이 원자량이 작은 불순물이나 BF_2 와 같이 분자성 이온을 불순물로 사용하는 대신에 원자량이 크고 단원자로 이루어진 불순물(Atomic dopant)을 주입하여 이온 주입층을 형성함으로써, 이온 주입에 따른 손상을 완화시키기 위한 열처리 공정이나 기타 후속 열처리 공정 시 불순물의 TED(Transient Enhanced Diffusion) 현상이 발생하는 것을 최대한 억제하고 아웃 개싱(Outgasing)에 의해 상부의 막질이 저하되는 것을 방지할 수 있는 반도체 소자의 제조 방법이 개시된다.

【대표도】

도 1e

【색인어】

문턱 전압 조절, 이온 주입, 원자량, 단원자, TED, 아웃개싱

【명세서】**【발명의 명칭】**

반도체 소자의 제조 방법{Method of manufacturing a semiconductor device}

【도면의 간단한 설명】

도 1a 내지 도 1e는 본 발명의 실시예에 따른 반도체 소자의 제조 방법을 설명하기 위한 소자의 단면도들이다.

<도면의 주요 부분에 대한 부호의 설명>

101 : 반도체 기판 102 : 스크린 산화막

103 : 트리플 n웰 104 : p웰

105 : 이온 주입층 106 : 게이트 산화막

107 : 폴리실리콘층 108 : 패드 질화막

109 : 트렌치

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<8> 본 발명은 반도체 소자의 제조 방법에 관한 것으로, 특히 이온 주입 공정을 실시한 후 후속 열처리 공정 시 하부 구조에 주입된 불순물의 TED(Transient Enhanced

Diffusion) 현상이 발생하는 것을 억제하고 아웃 개싱(Outgasing)에 의해 상부의 막질이 저하되는 것을 방지할 수 있는 반도체 소자의 제조 방법에 관한 것이다.

- <9> 반도체 소자를 형성하기 위해서는 증착 공정, 식각 공정뿐만 이온 주입 공정을 필수적으로 실시하여야 한다.
- <10> 일반적으로, 플래시 메모리 소자나 트랜지스터를 제조하기 위해서는, 먼저 이온 주입 공정으로 웰 영역을 형성하고 웰의 소정 깊이로 문턱 전압을 조절하기 위한 이온 주입층을 형성한 후 패드 질화막을 형성하기 전에 터널 산화막 및 플로팅 게이트를 형성하기 위한 제1 폴리실리콘층을 형성하고 패터닝을 실시한다. 이어서, 제1 폴리실리콘층 사이의 반도체 기판을 식각하여 트렌치를 형성한 후, 내벽 희생 산화 공정(Wall sacrifice oxidation)과 내벽 산화 공정(Wall oxidation) 공정을 순차적으로 실시하여 소자를 전기적으로 격리시키는 SA-STI(Self Aligned-Shallow Trench Isolation) 방법으로 소자 분리막을 형성한다.
- <11> 상기에서, nMOS 트랜지스터를 셀로 이용하는 데이터 플래시 소자(Data Flash device)의 경우에는 붕소(B)를 주입하여 문턱 전압 조절용 이온 주입층을 형성한다. 이때, 데이터 플래시 소자에서는 일반적으로 512byte 단위의 섹터 프로그램/소거(Sector program/erase) 방식으로 셀을 프로그램하거나 소거하기 때문에, 유닛 셀 블록(Unit cell block) 내에서 셀들의 문턱 전압이 균일해야 한다.
- <12> 이 중에서도, 플래시 소자 중 데이터 플래시의 경우에는, 프로그램 방식이

HCE(Hot Carrier Effect)를 이용한 방식이 아니라 FN 터널링(Tunneling)을 이용한 방식으로 실시되기 때문에, 공핍 영역(Depletion region) 형성이 중요한 코드 플래시(Code Flash)와는 다르게, 문턱 전압을 조절하기 위하여 주입된 불순물의 분포가 매우 중요한 요인(Parameter)이 된다. 이로 인해, 문턱 전압 조절용 이온 주입층에 의해 구동 전압에 따른 동작 속도가 증가하는 것보다는 유효 채널 길이(Effective channel length) 내의 후속 열처리에서도 이온 주입층의 분포가 변하지 않는 것이 더 요구된다.

<13> 하지만, SA-STI 방법을 소자 분리막을 형성하면 고온 산화 공정에 의해 불순물의 과도 확산(Transient Enhanced diffusion; TED)이 발생되어 소자의 문턱전압이 변하게 된다. 또한, 소자의 문턱 전압을 조절하기 위하여 질량이 큰(Large mass) 불순물을 주입하면 질량이 큰 불순물에 의해 발생할 수 있는 RDG(Remained Dopant Gettering)에 의해 결함이 발생될 수 있다. 따라서, 이온 주입에 따른 손상을 최소화하기 위해서는 후속 공정으로 고온 열처리를 반드시 실시해야 하기 때문에, 질량이 큰 불순물은 문턱전압을 조절하기 위한 이온으로 사용하지 않는다.

<14> 또한, 표면 채널(Surface channel)의 얇은 유효 채널 영역(Shallow effective channel region)을 형성하기 위하여 현재 사용하고 있는 불순물인 BF_2 의 경우에는 후속 열공정에 의한 아웃 개싱(Outgasing)으로 인하여 불순물 손실(Dopant loss)이 발생하고, 특히 고온 공정이 필수적인 셀에서는 F의 아웃 개싱 극대화에 기인한 F 유도 아웃 개싱(Induced outgasing)을 피할 수 없으며, 이로 인해 산화막의 막질이 저하되는 문제점이 발생된다.

【발명이 이루고자 하는 기술적 과제】

<15> 따라서, 본 발명은 상기의 문제점을 해결하기 위하여 반도체 소자의 문턱 전압을 조절하기 위하여 이온 주입층을 형성하는 경우 통상적으로 사용하던 B와 같이 원자량이 작은 불순물이나 BF_2 와 같이 분자성 이온을 불순물로 사용하는 대신에 원자량이 크고 단 원자로 이루어진 불순물(Atomic dopant)을 주입하여 이온 주입층을 형성함으로써, 이온 주입에 따른 손상을 완화시키기 위한 열처리 공정이나 기타 후속 열처리 공정 시 불순물의 TED(Transient Enhanced Diffusion) 현상이 발생하는 것을 최대한 억제하고 아웃 개싱(Outgasing)에 의해 상부의 막질이 저하되는 것을 방지할 수 있는 반도체 소자의 제조 방법을 제공하는데 그 목적이 있다.

【발명의 구성 및 작용】

<16> 본 발명의 실시예에 따른 반도체 소자의 제조 방법은 반도체 소자를 형성하기 위한 소정의 공정이 진행된 반도체 기판이 제공되는 단계 및 반도체 기판의 소정 깊이에는 이온 주입 공정으로 원자량이 붕소보다 크면서 단원자로 이루어진 3가 불순물을 주입하여 이온 주입층을 형성하는 단계를 포함한다.

<17> 상기에서, 불순물은 반도체 기판 상부에 스크린 산화막이 형성된 상태에서 주입할 수 있다.

<18> 한편, 이온 주입 공정은 10 내지 50KeV의 에너지로 $5\text{E}11$ 내지 $1\text{E}13\text{ion/cm}^2$ 의 불순물을 주입하며, 불순물로 인듐을 주입할 수 있다. 또한, 이온 주입 공정은 3 내지 13도의 경사각으로 불순물을 주입할 수도 있다.

- <19> 또한, 이온 주입층을 형성한 후에는, 불순물을 활성화시키기 위하여 급속 열처리를 실시할 수도 있다. 이때, 급속 열처리는 800 내지 1100℃의 온도에서 20 내지 50℃/sec의 온도 상승률을 유지하면서 5 내지 30초 동안 실시할 수 있다. 또한, 급속 열처리는 질소 분위기에서 실시할 수도 있다.
- <20> 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 설명하기로 한다. 그러나, 본 발명은 이하에서 개시되는 실시예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있으며, 단지 본 실시예는 본 발명의 개시가 완전하도록 하며 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이다. 한편, 도면상에서 동일 부호는 동일한 요소를 지칭한다.
- <21> 도 1a 내지 도 1e는 본 발명의 실시예에 따른 반도체 소자의 제조 방법을 설명하기 위한 소자의 단면도들이다.
- <22> 도 1a를 참조하면, 반도체 기판(101) 표면의 결정결함 억제 또는 표면처리를 위한 희생 산화막으로 스크린 산화막(102)을 반도체 기판(101) 상부에 형성한다. 스크린 산화막(102)은 웰을 형성하기 위한 이온 주입 공정 시 발생하는 불순물들의 채널링(Channeling)에 의한 상호 확산(Inter diffusion)을 억제하는 역할도 한다. 여기서, 스크린 산화막(102)은 750 내지 800℃의 온도에서 건식 또는 습식 산화 방식으로 형성하며, 70 내지 100Å의 두께로 형성한다.
- <23> 한편, 스크린 산화막(102)을 형성하기 전에 세정 공정을 실시할 수 있다. 이때, 세정 공정은 H₂O:HF가 50:1 내지 100:1의 비율로 혼합된 불화수소산(DHF)과

SC-1($\text{NH}_4\text{OH}/\text{H}_2\text{O}_2/\text{H}_2\text{O}$) 용액을 순차적으로 이용하여 실시하거나, $\text{NH}_4\text{F}:\text{HF}$ 가 4:1 내지 7:1로 혼합된 혼합 용액을 1:100 내지 1:300의 비율로 H_2O 에 희석시킨 BOE(Buffered Oxide Etchant)와 SC-1($\text{NH}_4\text{OH}/\text{H}_2\text{O}_2/\text{H}_2\text{O}$) 용액을 순차적으로 이용하여 실시한다.

<24> 도 1b를 참조하면, n채널 소자가 형성될 영역에는 이온 주입 공정으로 트리플 n웰(103)을 형성한 후 트리플 n웰(103)보다 낮은 깊이로 p웰(104)을 연속해서 형성한다. 여기서, 트리플 n웰(103)은 500 내지 2000KeV의 에너지로 $5\text{E}12$ 내지 $5\text{E}13\text{ion}/\text{cm}^2$ 의 P를 주입하여 형성할 수 있으며, p웰(104)은 200 내지 1000KeV의 에너지로 $1\text{E}12$ 내지 $5\text{E}13\text{ion}/\text{cm}^2$ 의 B를 주입하여 형성할 수 있다. 한편, p채널 소자가 형성될 또 다른 영역에는 n웰(도시되지 않음)을 형성한다. n웰은 200 내지 1000KeV의 에너지로 $1\text{E}12$ 내지 $5\text{E}13\text{ion}/\text{cm}^2$ 의 P를 주입하여 형성할 수 있다. 상기에서, 웰을 형성하기 위한 이온 주입 공정은 불순물의 채널링(Dopant channeling)을 억제하기 위하여 3 내지 13도의 경사각으로 실시하는 것이 바람직하다.

<25> 도 1c를 참조하면, p웰(104)의 소정 깊이에는 후속 공정에서 반도체 기판(101)에 형성될 반도체 소자의 문턱 전압을 조절하기 위하여 이온 주입 공정으로 문턱전압 조절용 이온 주입층(105)을 형성한다. 여기서, 이온 주입층(105)은 종래에 통상적으로 사용하던 B와 같이 원자량이 작은 불순물이나 BF_2 와 같이 분자성 이온을 불순물로 사용하는 대신에 원자량이 크고 단원자로 이루어진 불순물(Atomic dopant)을 주입하여 형성한다. 예로써, 원자량이 붕소보다 크면서 단원자로 이루어진 3가 불순물을 주입하거나, 바람직하게는 인듐(Indium)을 주입하여 형성한다. 이때, 이온 주입 공정은 10 내지 50KeV의 에너지로 $5\text{E}11$ 내지 $1\text{E}13\text{ion}/\text{cm}^2$ 의 불순물을 주입하여 형성할 수 있다. 한편, 웰을 형성하기 위한 이온 주입 공정과 마찬가지로, 문턱전압을 조절하기 위한 이온 주입 공정을 실

시하는 경우에도 매장식 채널(Buried channel)을 사용하는 데이터 플래시(Data flash)에서 채널 영역의 불순물 채널링을 억제하기 위하여 3 내지 13도의 경사각으로 이온 주입을 실시하는 것이 바람직하다.

<26> 문턱 전압 조절용 이온 주입층(105)을 형성한 직후에는, 불순물 활성화(Dopant activation)의 극대화를 위하여 RTP(Rapid Thermal Process)와 같이 고온에서의 노출을 최소화할 수 있는 열처리 공정을 실시하여, 불필요한 불순물의 재확산을 방지하면서 불순물의 활성화만을 극대화할 수 있다. 이때, 열처리 공정은 800 내지 1100℃의 온도에서 20 내지 50℃/sec의 온도 상승률을 유지하면서 5 내지 30초 동안 실시할 수 있으며, 자연 산화막이 형성되는 것을 방지하기 위하여 질소 분위기에서 실시할 수도 있다.

<27> 도 1d를 참조하면, 스크린 산화막(도 1c의 102)을 제거한 후, 게이트 산화막(플래시 소자의 경우는 터널 산화막; 106), 전도성 물질층(107) 및 패드 질화막(108)을 순차적으로 형성한다.

<28> 여기서, 스크린 산화막(도 1c의 102)은 H₂O:HF가 50:1 내지 100:1의 비율로 혼합된 불화수소산(DHF)과 SC-1(NH₄OH/H₂O₂/H₂O) 용액을 순차적으로 이용한 세정 공정으로 제거한다.

<29> 이후, 게이트 산화막(106)은 750 내지 800℃의 온도에서 습식 산화 공정으로 형성한 후 900 내지 910℃의 온도에서 질소 분위기로 20 내지 30분간 어닐링을 실시하여 반도체 기판(101)과 게이트 산화막(106)의 계면 결함 밀도를 최소화한다.

<30> 한편, 전도성 물질층(107)은 SiH₄ 또는 Si₂H₆와 PH₃ 가스를 이용하여 580 내지 620℃의 온도와 0.1 내지 3Torr의 낮은 압력 조건에서 LP-CVD(Low Pressure Chemical

Vapor Deposition)법으로 그레인 사이즈(Grain size)가 최소화된 도프트(Doped) 폴리실리콘층을 증착하여 형성할 수 있다. 이때, 도프트 폴리실리콘층의 불순물(P) 농도를 $1.5E20$ 내지 $3.0E20$ atoms/cc의 레벨로 조절하며, 250 내지 500Å의 두께로 형성한다.

<31> 전도성 물질층(107) 상부에 형성되는 패드 질화막(108)은 LP-CVD법을 이용하여 900 내지 2000Å의 두께로 형성할 수 있다.

<32> 도 1e를 참조하면, 식각 공정으로 소자 분리 영역의 패드 질화막(108), 전도성 물질층(107) 및 게이트 산화막(106)을 순차적으로 제거하여 소자 분리 영역의 반도체 기판(101) 표면을 노출시킨다. 이후, 노출된 소자 분리 영역의 반도체 기판(101)의 소정 깊이까지 식각하여 트렌치(109)를 형성한다. 이어서, 절연 물질(도시되지 않음)로 트렌치(109)를 매립하여 STI(Shallow Trench Isolation) 구조의 소자 분리막(도시되지 않음)을 형성한다. 여기서, 절연물질로써 고밀도 플라즈마(High Density Plasma; HDP) 산화막을 형성할 수 있으며, 보이드(Void)가 발생하는 것을 방지하면서 트렌치(109)가 완전히 매립되도록 전체 상부에 4000 내지 10000Å의 두께로 형성한다.

<33> 도면에는 도시되어 있지 않지만, 후속 공정으로 화학적 기계적 연마 공정을 실시하여 패드 질화막(108) 상부의 절연물질을 제거하면서, 반도체 기판(101)의 표면보다 목표 높이까지만 절연 물질이 잔류하도록 화학적 기계적 연마 공정을 계속해서 실시한다. 이어서, 희석된(Diluted) HF를 이용한 습식 세정 공정을 실시한 후 전도성 물질층(107)과 동일한 물질을 400 내지 1000Å의 두께로 형성하고 통상의 플래시 메모리 셀의 제조 공정을 진행하여 플래시 메모리 셀을 제조할 수도 있다.

【발명의 효과】

- <34> 본 발명은 상기에서 서술한 반도체 소자의 제조 방법을 통해 다음과 같은 효과를 얻을 수 있다.
- <35> 첫째, 고온 공정이 빈번하게 요구되는 STI 구조의 소자 분리막을 형성해야 하는 데이트 플래시 소자의 메모리 셀에서 원자량이 크고 단원자로 이루어진 불순물(Atomic dopant)을 주입하여 문턱전압 조절용 이온주입층을 형성함으로써, TED 현상을 최소화하면서 소자를 제조할 수 있다.
- <36> 둘째, TED 현상을 최소화함으로써 목표 범위 내에서 문턱 전압의 균일도를 확보할 수 있기 때문에, 플래시 메모리 소자에서 셀 블록 단위의 프로그램/소거 동작 특성을 향상시킬 수 있다.
- <37> 셋째, 이온 주입층을 형성한 후 후속 열처리 공정을 실시하는 과정에서 아웃개싱이 발생되지 않기 때문에, 게이트 산화막의 막질이 저하되는 것을 방지할 수 있다.
- <38> 넷째, 게이트 산화막을 막질이 저하되는 것을 방지하여 고품질의 게이트 산화막을 형성하는 것이 가능해지므로, FN 터널링을 이용하는 데이트 플래시 메모리 소자의 전기적 특성 및 신뢰성을 향상시킬 수 있다.
- <39> 다섯째, 아웃 디퓨전에 의한 불순물 손실을 최소화하여 최소한의 이온주입만으로도 문턱 전압의 조절을 가능케 하고, 채널 영역 내에서 이온 주입 손상이 발생하는 것을 억제하여 누설 전류의 발생을 최소화할 수 있다.

【특허청구범위】**【청구항 1】**

반도체 소자를 형성하기 위한 소정의 공정이 진행된 반도체 기판이 제공되는 단계;
및

상기 반도체 기판의 소정 깊이에서 이온 주입 공정으로 원자량이 붕소보다 크면서 단위 원자로 이루어진 3가 불순물을 주입하여 이온 주입층을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 2】

제 1 항에 있어서, 상기 불순물을 주입하기 전에,

상기 반도체 기판 상부에 스크린 산화막을 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 3】

제 1 항에 있어서,

상기 이온 주입 공정은 10 내지 50KeV의 에너지로 5E11 내지 1E13ion/cm²의 불순물을 주입하는 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 4】

제 1 항 또는 제 3 항에 있어서,

상기 불순물로 인듐을 주입하는 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 5】

제 1 항 또는 제 3 항에 있어서,

상기 이온 주입 공정은 3 내지 13도의 경사각으로 상기 불순물을 주입하는 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 6】

제 1 항에 있어서, 상기 이온 주입층을 형성한 후에는,

상기 불순물을 활성화시키기 위하여 급속 열처리를 실시하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 7】

제 6 항에 있어서,

상기 급속 열처리는 800 내지 1100℃의 온도에서 20 내지 50℃/sec의 온도 상승률을 유지하면서 5 내지 30초 동안 실시하는 것을 특징으로 하는 반도체 소자의 제조 방법.

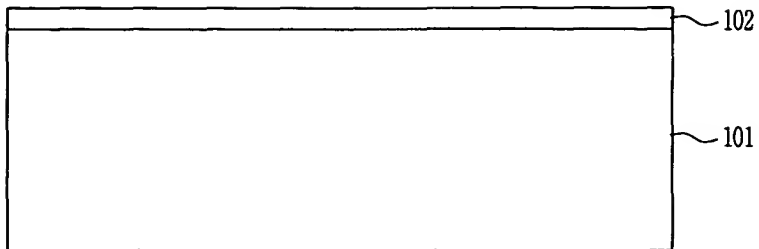
【청구항 8】

제 6 항 또는 제 7 항에 있어서,

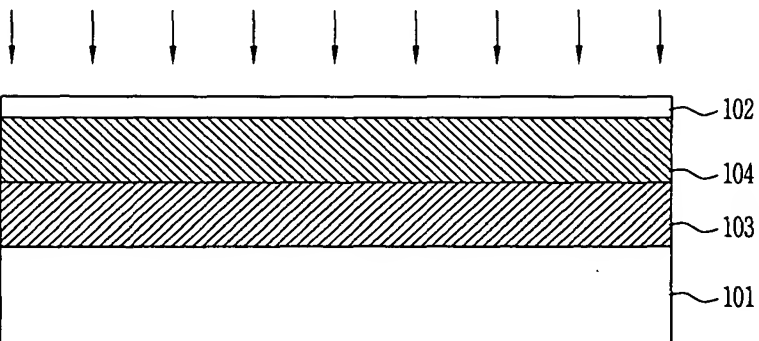
상기 급속 열처리는 질소 분위기에서 실시하는 것을 특징으로 하는 반도체 소자의 제조 방법.

【도면】

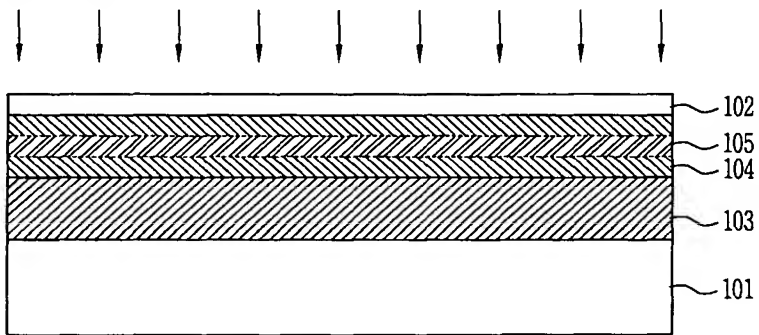
【도 1a】



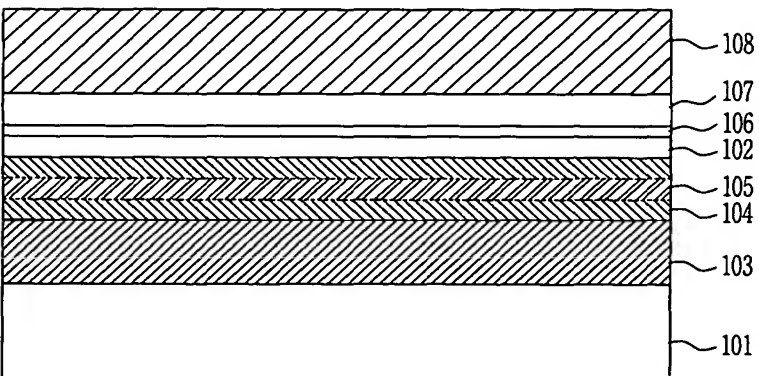
【도 1b】



【도 1c】



【도 1d】



【도 1e】

